

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05090117
PUBLICATION DATE : 09-04-93

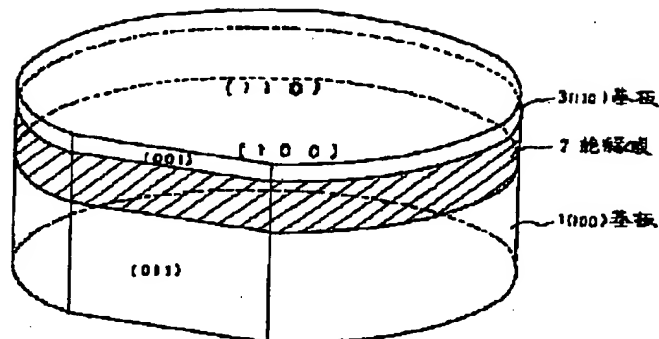
APPLICATION DATE : 27-09-91
APPLICATION NUMBER : 03248170

APPLICANT : TOSHIBA CORP;

INVENTOR : YAMABE KIKUO;

INT.CL. : H01L 21/02 H01L 27/00 H01L 27/12
H01L 29/04 H01L 29/784

TITLE : SINGLE CRYSTAL THIN FILM
SEMICONDUCTOR DEVICE



ABSTRACT : **PURPOSE:** To enable using crystal orientation and crystal axis suitable to an element to be formed on each layer, and using a substrate advantageous to chip working, by adhering two or more wafers having different crystal orientations, and forming elements on these wafers.

CONSTITUTION: An N-channel MOS is formed on a silicon wafer having a (100) face, and element isolation and activation are performed. At the same time, a P-channel MOS is formed on a silicon wafer having a (110) face. Each of the oxidation periods is adjusted so as to be matched with each of the crystal faces. The respective wafers are dipped in pure water, stuck to each other in the water, taken out from the water, and bonded by heat treatment in an N atmosphere. The wafer on which the pMOS is formed is polished and grinded from the rear. Hence it is made possible to apply a suitable semiconductor substrate to each kind of element, and to combine the substrates on which elements are previously formed.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-90117

(43) 公開日 平成5年(1993)4月9日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02		B 8518-4M		
27/00	3 0 1	B 8418-4M		
27/12		B 8728-4M		
29/04		7377-4M		
		9056-4M		
			H 0 1 L 29/78	3 1 1 X

審査請求 未請求 請求項の数10(全 9 頁) 最終頁に続く

(21) 出願番号 特願平3-248170

(22) 出願日 平成3年(1991)9月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 神林 茂

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72) 発明者 恩賀 伸二

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72) 発明者 山部 紀久夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(74) 代理人 弁理士 則近 憲佑

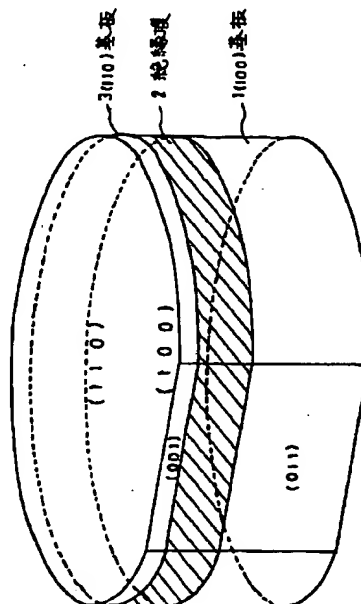
(54) 【発明の名称】 単結晶薄膜半導体装置

(57) 【要約】

【目的】 本発明は単結晶薄膜半導体装置の集積度、多機能性、動作速度、加工性の向上を目的とする。

【構成】 二つ以上の異なる結晶面方位のシリコン基板を貼り合わせる。あるいはウェハの面方位は同じ(110)面であるが、ウェハ面の法線を回転軸として互いに43度~48度回転して貼り合わせる。または直行する方向に劈開面を持つ(100)ウェハあるいは(110)ウェハの上に(111)ウェハあるいは直行する劈開面を持たないGaAsなど異なる材質の半導体基板を貼り合わせる。

【効果】 本発明では素子レイアウトを自由に行い、かつ種々の素子に対して各々適正な半導体基板を用いることを可能にし、また、各々の基板の素子をあらかじめ形成してから組み合わせることも可能であり、集積度、多機能性、動作速度、加工性の向上を達成できる。



【特許請求の範囲】

【請求項1】 異なる結晶方位を持つウェハを2枚以上接着し、これらのウェハ上に素子を形成してなることを特徴とする単結晶薄膜半導体装置。

【請求項2】 前記ウェハの面方位及びその上に接着するウェハの面方位のうち少なくとも一つは(100)面であり、かつ少なくとも一つは(111)面であることを特徴とする請求項1記載の単結晶薄膜半導体装置。

【請求項3】 前記ウェハの面方位及びその上に接着するウェハの面方位のうち少なくとも一つは(100)面であり、かつ少なくとも一つは(110)面であることを特徴とする請求項1記載の単結晶薄膜半導体装置。

【請求項4】 前記ウェハの面方位及びその上に接着するウェハの面方位のうち少なくとも一つは(110)面であり、かつ少なくとも一つは(111)面であることを特徴とする請求項1記載の単結晶薄膜半導体装置。

【請求項5】 前記ウェハの面方位及びその上に接着するウェハの面方位を(110)とし、この面に対する法線の結晶軸を回転軸とし互いに43〜48度の範囲で回転位置にあることを特徴とする請求項1記載の単結晶薄膜半導体装置。

【請求項6】 前記ウェハの上に接着するウェハの厚みを0.1μm以下にすることを特徴とする請求項1記載の単結晶薄膜半導体装置。

【請求項7】 前記ウェハの接着に熱処理を用いることを特徴とする請求項1記載の単結晶薄膜半導体装置。

【請求項8】 前記接着ウェハの接着は、純水など粘性の低い液体に浸し、その後乾燥させて行うことを特徴とする請求項1記載の単結晶薄膜半導体装置。

【請求項9】 前記ウェハの接着は、粘性の低いシリコン系接着剤を用い、接着するウェハを接着剤に浸し液中で貼り合わせた後、乾燥凝固させて行うことを特徴とする請求項1記載の単結晶薄膜半導体装置。

【請求項10】 前記ウェハの接着は、粘性の低い有機系接着剤を用い、接着するウェハを接着剤に浸し液中で貼り合わせた後、乾燥凝固させて行うことを特徴とする請求項1記載の単結晶薄膜半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、単結晶薄膜を用いた半導体装置に関する。

【0002】

【従来の技術】 現時点で殆どのLSIは基板面上に単に2次元的に能動素子や受動素子を配置させるものであり、ただ一部に次世代高速素子あるいは多機能素子として3次元的な配慮が見えてきた。この3次元素子を具体的に実現する試みとしてその半導体装置の製造方法としては、たとえば絶縁膜上に形成したアモルファスシリコン膜を熱処理により固相成長させ単結晶化したり、エネルギービームを用いて溶融再結晶化したり、酸素イオ

ンを打ち込んでウェハの中に絶縁膜を形成したりする方法が用いられてきた。また他方貼り合わせによる手法もあるにはあった。しかし、前者らの方法では単結晶化を進める時にシリコン基板を種結晶とするために、下地のシリコン基板と上のシリコン単結晶膜は同じ結晶方位のものしか得られなかった。さらに、下の層から順番に積み上げていく方法であるため、全体の不良率は各層の不良率のかけ算になるため歩留まりが悪くなるという問題点や、上の層の単結晶及び素子を作る時の下の層の熱履歴の問題、結晶欠陥及び不純物の混入など結晶性や界面の問題、一層づつ素子を作るため時間がかかるといった作業工程上の問題があった。また、後者の貼り合わせに関しては、これらの問題に対して大きく改善できる可能性を持っているにもかかわらず、残念ながらデバイスの配慮がなされていなかった。また、チップ化するための切断工程についての自由度も乏しかった。

【0003】

【発明が解決しようとする課題】 本発明は、多機能高速3次元素子の具体的な手法を提示するもので、工程の制約をはずし、各層を独立に平行して作製したり、それぞれ違う基板や結晶軸方向に素子を作る自由度を与えることによって、現在のシリコン基板上だけに素子を形成する方法では難しい集積度をあげ、新しい機能を持つシステムを一つのチップ上に積層化する方法を示したものである。従来の固相成長や、溶融再結晶化など結晶成長によって積層化膜を形成する方法では、下地を種結晶とするため上下の結晶が同じ材料、結晶面、結晶方位のものしか得られず、また下の層から順々に作製するしかなかった。そのため積層化しても歩留まりが悪く、下の層の素子が熱履歴で劣化し、作業工程が長く時間がかかった。多機能化についても各層の基板が限定されているため、自由度がまったく無かった。また、例えば、CMOSを例にあげると、P-ch、N-ch各々について基板を適正化することができず十分な積層化効果が得られなかった。一つの例として上下のMOSの間にゲートを作り込み同時に動作させるような構造を考えてみると、上下の素子がPMOS、NMOSであればそれぞれ別の結晶面に形成することができれば移動度などのバランスをとることができ多機能化がしやすくなると考えられる。また、本発明が提供する要点としては、素子作製の自由度のならず、チップとして仕上げる時の問題となる劈開面、劈開方向にもその示唆を与えるものである。また、(110)面にPチャネル、NチャネルMOS素子を作製した場合、Pチャネルのチャネル方向は<110>方向に、Nチャネルの方向は<100>方向にすると移動度の点では有利であるなど素子にとって有利な方向が異なるとき、素子のレイアウトに制約が生じ集積度をあげる上で大きな障害となっていたが、このような点も解決しようとする課題である。

【0004】

【課題を解決するための手段】本発明は、結晶面の異なる単結晶を貼り合わせることによって、各々の層に作製する素子に適した結晶方位、結晶軸を用いることを可能にした。また、多機能性を達成するため異なる機能の素子を異なる材質の基板に形成しこれを貼り合わせた。また、素子を作る基板とそれを支える基板の方位を変えることによって、チップの加工に有利な基板を用いることを可能にした。さらに、工期の短縮、歩留まりの向上を達成するために各々の素子を基板を貼り合わせる前に形成することも可能にした。

【0005】

【作用】本発明ではまったく独立に各々の素子を適した基板を用いて素子を形成した後、それを貼り合わせるによって、素子レイアウトを自由に行い、かつ種々の素子に対して各々適正な半導体基板を用いることを可能にし工期の短縮、歩留まりの向上、集積度、多機能性、動作速度、加工性の向上が達成できた。

【0006】さらに、上下の結晶面、結晶方位を自由に選べるようにすることによって、例えばPチャネル半導体素子を0.1 μ m以下厚さの(110)面薄膜につくり、N-chを(100)面に作り、両者の移動度を揃えることができるなど回路構成上積層化のメリットが十分に利用できるようになった。また回路構成上特にラッチアップ対策の必要な部分を上の層に作り、その時、N-ch, P-chに合わせて結晶面を選ぶことも可能にできた。また、同じ(110)面にPチャネル、NチャネルMOS素子を作製した場合、Pチャネルのチャネル方向は<110>方向に、Nチャネルの方向は<100>方向にすると各々移動度が大きくなる。このような素子を<110>と<100>軸が重なるように上下の基板を貼り合わせた基板に形成すると、チャネル方向が平行になり素子のレイアウト上でデットスペースを減らすことができ集積度をあげることができた。一方、(110)面を上層の基板に用いた場合、下を(100)ウェハあるいは(110)ウェハにする事によって半導体装置を切り離す、いわゆるダイシング工程で結晶学的に安定な劈開面を用いることができ、四角いチップを切り出すことも可能にできた。

【0007】

【実施例】集積回路の微細化にともない半導体素子の大きさは限界に近づき、LSIを基板上に単に2次元的に配置させるだけでなく、次世代高速素子あるいは多機能素子として3次元的な配達が現実的なものとして見えてきた。この3次元的素子を具体的に実現する試みとして固相成長、溶融再結晶化、酸素イオン打ち込み絶縁膜形成などの方法が用いられてきた。また、他方貼り合わせによる手法もある。しかし、前者らの方法では図1に示すように、単結晶化を進める時にシリコン基板を種結晶とするために、下地のシリコン基板と上のシリコン単結晶膜は同じ結晶方位のものしか得られなかった。さら

に、下の層から順番に積み上げていく方法であるため、全体の不良率は各層の不良率のかけ算になるため歩留まりが悪くなるという問題点や、上の層の単結晶及び素子を作る時の下の層の熱履歴の問題、結晶欠陥及び不純物の混入など結晶性や界面の問題、一層づつ素子を作るため時間がかかるといった作業工程上の問題があった。また、後者の貼り合わせにしても、これらの問題に対して大きく改善できる可能性を持っているにもかかわらず、残念ながらデバイスの配電やプロセスや工程上の配電がなされていなかった。

10

【0008】図2のように従来例では素子の微細化による集積度向上の限界を越えるために、素子を積層化した。しかし、下層と上層のシリコン基板の結晶方位が同じであり、結晶構造によるP-chとN-ch MOSの特性の制御を利用せず、各々の性能を十分に引き出すことや、特性を揃えることを行わず回路設計上大きな問題を残していた。

【0009】本発明は、上下の基板の結晶面、結晶軸、材料を自由に選べるようにすることによって、上記問題を解決した。図1は第1の実施例の貼り合わせた基板である。まずNチャネルMOSを(100)面を持つシリコンウェハに作製した。素子分離はLOCOS、ゲート酸化膜250オングストローム、チャネル長0.5 μ m、ソース、ドレインはイオン注入によりAsを注入、850℃30分の熱処理で活性化を行った。一方、(110)面を持つシリコンウェハにPチャネルMOSを同様に作製した。このとき、結晶面により酸化膜の成長速度が図3に示すように異なるためそれぞれ酸化時間は結晶面に合わせて調節した。次に図1に示したようにPMOS、NMOSを作製した基板を貼り合わせた。各々のウェハをまず純水中に浸し、水中で貼り合わせた後外に取り出し850℃、N₂雰囲気中で30分熱処理する事によって両ウェハは接着された。熱処理の前に炉内を真空排気し水分を蒸発させても表面吸着水が残るその吸着効果は維持された。水中に浸す工程を省いてもほぼ同様な接着は得られたが位置ズレ、気泡の巻き込みなどの点で一旦水中で貼り合わせた方が有利であった。次に、PMOSを形成したウェハを裏側から機械研磨により研削した。この時、先に素子分離として用いたLOCOSの酸化膜部分が表面に出た時点で研削の抵抗が変化することを利用して0.05 μ mの厚さの薄膜になるまで機械研磨を行った。このように素子の活性層を極薄膜化し、ゲートからの垂直電界を弱めることによる移動度の向上効果をも利用して、両者の移動度を揃えることができた。図4は、参考のため結晶面と移動度の関係を示したものである。これによって回路構成上積層化のメリットが十分に利用できるようになった。

30

40

50

【0010】図5は、PMOSのゲートを形成せずにNMOSを形成した基板と貼り合わせゲートを共有化した本発明の第2の実施例である。PMOS形成のソースド

レイニオン注入は酸化膜マスクを用いて行い、貼り合わせる前に一旦はがし、全面を再び酸化した。図6はこのような酸化膜のNssを示したものであり、結晶面によって異なるが、(111)面においても特に大きく問題となるレベルではなかった。このように上下のMOSの間にゲートを作り込み同時に動作させるような回路では上下の素子がPMOS、NMOSであればそれぞれ別の結晶面に形成することによって特性のバランスをとることができ回路動作を安定することができた。微細素子においてはもはやチャンネルの不純物イオン注入ではこのよう

な制御をする事ができず、基板の結晶方位、チャンネルの方向と結晶軸との関連においてのみ制御することが可能となった。

【0011】図7は、(110)面にPチャンネル、NチャンネルMOS素子を作製する時に、 $\langle 110 \rangle$ と $\langle 100 \rangle$ 軸が重なるように上下に(110)面の基板を貼り合わせ、チャンネル方向を平行にし素子のレイアウト上でのデットスペースを減らし集積度をあげることができた本発明第3の実施例である。図4に示すように、同じ(110)面にPチャンネル、NチャンネルMOS素子を作製した場合、Pチャンネルのチャンネル方向は $\langle 110 \rangle$ 方向に、Nチャンネルの方向は $\langle 100 \rangle$ 方向にすると各々移動度が大きくなる。しかしこのように素子をレイアウトすると互いに45度傾いて素子が配置されるため三角領域のデットスペースができてしまう。そこで、(110)面を持ち、オリフラを(110)にしたウェハにPMOSを形成し、(110)面を持ち、オリフラを(100)にしたウェハにNMOSを形成した。この2枚のウェハをオリフラを重ねて850℃、30分の熱工程で貼り合わせた。その後、PMOSの形成した基板を裏側から研磨して薄膜化した。さらに、PMOSの形成されていない領域を反応性イオンエッチングにより除去し、NMOSとの配線を形成した。配線にはスパッタ法によるAl-Cu合金を用いた。この工程は、さきに(110)面を持ち、オリフラを $\langle 110 \rangle$ にしたウェハと、(110)面を持ち、オリフラを $\langle 100 \rangle$ にしたウェハの表面を酸化し、950℃、30分の熱工程で貼り合わせてから一方を薄膜化、反応性イオンエッチングにより薄い方の基板を一部除去し、それぞれ適した結晶軸のところにPMOS、NMOSを形成しても同様のものを作ることができた。このときLOCOS素子分離だけは先に行っておく位置合わせ、薄膜化の研磨時のストッパーなどの点で有利であった。同様の効果は図8に示すように(311)面のウェハを用いたときにも適用される。また、図9に示すようPチャンネルとNチャンネルでは移動度の早いチャンネル方向が違いに90度ずれている。すなわち、Pチャンは $\langle 110 \rangle$ と平行でNチャンは垂直つまり $\langle 001 \rangle$ に平行である。これは(011)ウェハの場合その法線を軸に互いに45度回転した位置関係になる。

【0012】図10は、Nチャンネルにとって(110)面より移動度が大きい(111)面を上基板に用いた場合、あるいはGaAs基板を上基板に用いた場合、下のウェハを(100)ウェハあるいは(110)ウェハにする事によって半導体装置を切り離す、いわゆるダイシング工程で結晶学的に安定な劈開面を用いることができ、四角いチップを切り出すことを可能にした本発明の第4の実施例である。ウェハの接着には熱酸化膜を間に挟み加熱する方法を例にとって説明したが、熱酸化膜とシリコンあるいはシリコンとシリコンでも同様に接着できる。また、シリコン系の接着剤シラノール(SiH、OH)などや、有機系の接着剤を用いても同様の効果を得ることができた。また、本発明の主旨を逸脱しない範囲でウェハを接着する方法であれば同様の効果を得ることができ

る。

【0013】また、ウェハとしてシリコンを例に上げて説明したが、シリコン以外にも、Ge、GaAs、InPなどIV族、III-V族、II-VI族などの基板を組み合わせても同様の効果を得ることができ

る。

【0014】

【発明の効果】この発明では素子レイアウトを自由に行い、かつ種々の素子に対して各々適正な半導体基板を用いることを可能にし、また、各々の基板の素子をあらかじめ形成してから組み合わせることも可能であり、集積度、多機能性、動作速度、加工性の向上を達成できる。例えば、半導体装置において、P-ch、N-ch MOSの素子特性を必要に応じた値に揃えることができ、また、各々の動作に適した基板を用いるなど良好な回路素子の構成が可能になった。また、積層化による単純な集積度の向上のみならず、P-ch、N-ch MOSをそれぞれ適した結晶軸にチャンネルの方向を合わせ、各々のチャンネルの向きを揃えることが可能になり、デットスペースを無くし、集積度を向上させることができた。さらに(111)基板など直行する切断面で切り出すことが難しい基板を用いた場合でも、四角いチップに切り出すことを可能にした。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を説明する斜視図。

【図2】 従来の方法を説明する斜視図。

【図3】 結晶方位による酸化速度の一例を示す曲線図。

【図4】 結晶方位と移動度の関係を示す曲線図。

【図5】 本発明の第2の実施例を示す断面斜視図。

【図6】 結晶面とNssの関係を示す曲線図。

【図7】 本発明の第3の実施例を示す斜視図。

【図8】 結晶軸とチャンネル方向と移動度の関係を示す特性図。

【図9】 結晶軸とチャンネル方向と移動度の関係を示す特性図。

【図10】 本発明の第4の実施例を示す斜視図。

(5)

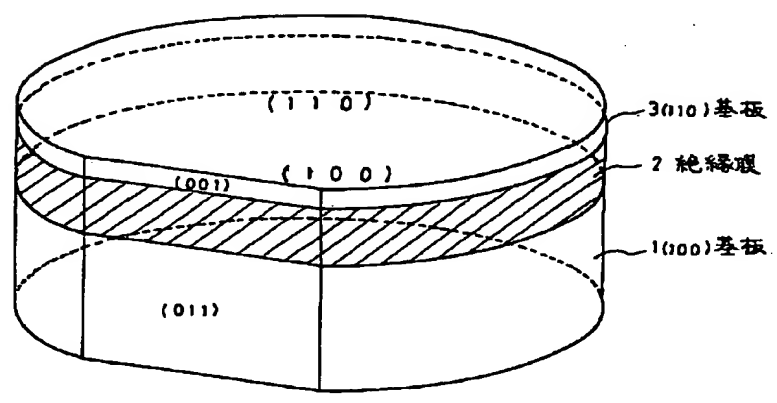
特開平5-90117

7

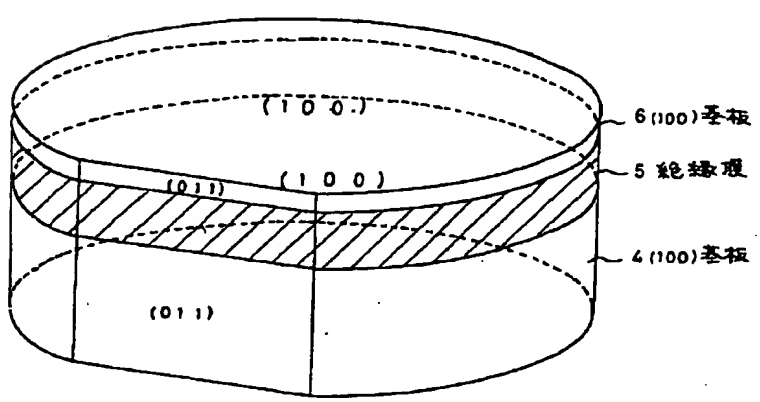
8

【符号の説明】
1…(100)シリコン基板 2…絶縁膜 3…(110)基板 4…(100)シリコン基板 5…絶縁膜 6…(100)基板 7…(211)基板 8…絶縁膜 9…NMOS 10…PMOS 11…ゲート 12…(011)基板

【図1】



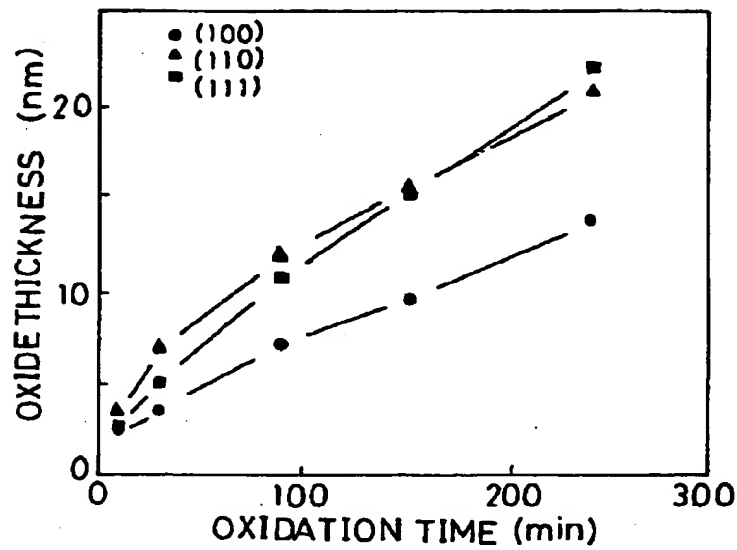
【図2】



(6)

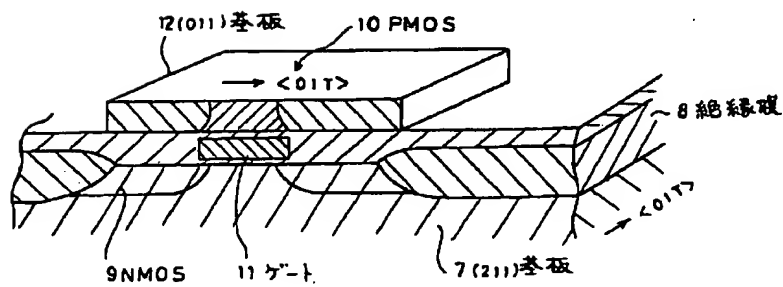
特開平5-90117

【図3】

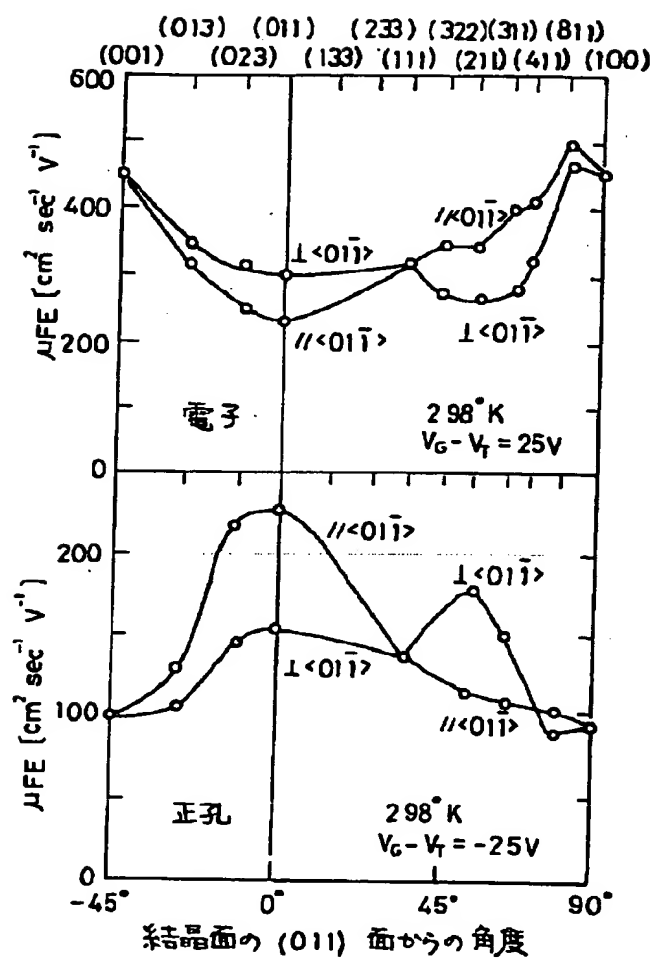


800C, dry O₂ 中での各面方位における酸化膜成長の様子。

【図5】

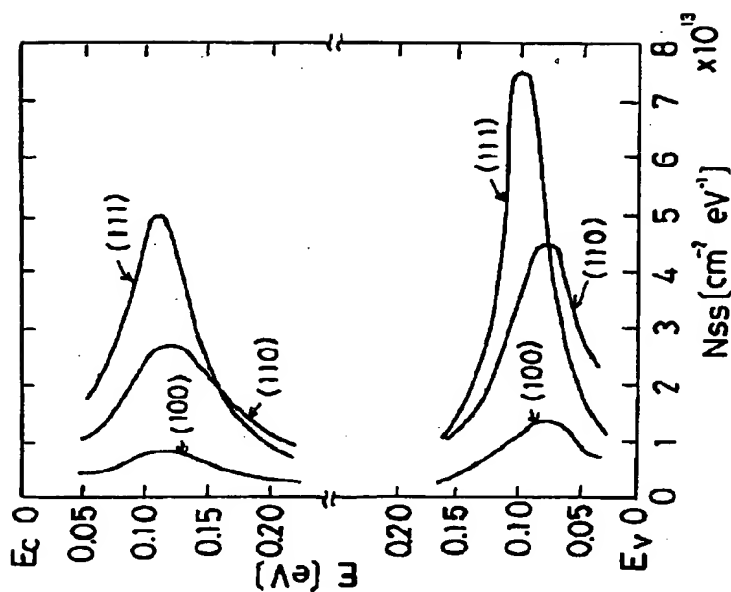


【図4】

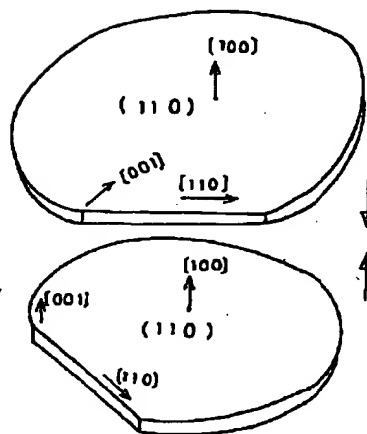


結晶面の (011) 面からの角度
電界効果移動度の結晶面依存性。

【図6】

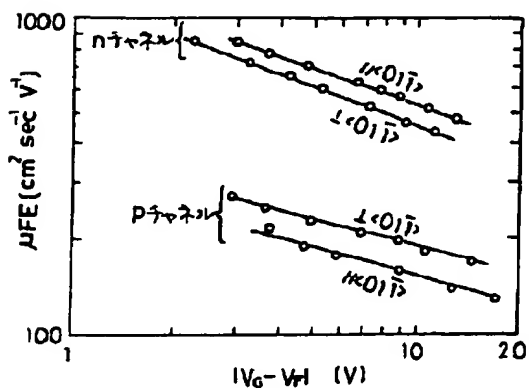


【図7】



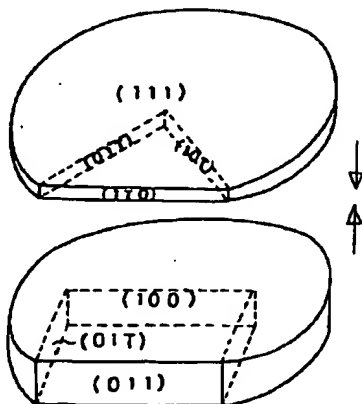
表面準位密度のエネルギー分布

【図8】



電界効果移動度とゲート電圧 (311) 面
T = 298°K.

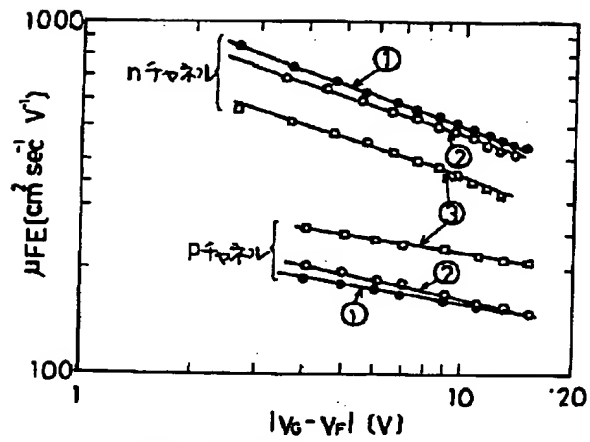
【図10】



(9)

特開平5-90117

【図9】



電界効果移動度とゲート電圧. $T = 298$
°K. ①: (111) 面, ②: (011) 面, $\perp \langle 01\bar{1} \rangle$,
③: (011) 面, $\parallel \langle 01\bar{1} \rangle$.

フロントページの続き

(51) Int. Cl. 5

H01L 29/784

識別記号

庁内整理番号

F 1

技術表示箇所